

DIALOG(R)File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

015961869 **Image available**

WPI Acc No: 2004-119710/200412

XRAM Acc No: C04-048337

XRPX Acc No: N04-095653

Semiconductor device production, e.g. for thin-film transistor, involves forming oxynitride film by nitriding oxide film, using plasma-activated nitrogen species, after changing high frequency impedance of substrate support

Patent Assignee: KOKUSAI DENKI KK (KOKZ); HITACHI KOKUSAI DENKI KK (KOKZ); HITACHI KOKUSAI ELECTRIC INC (KOKZ); OGAWA U (OGAW-I); TERASAKI T (TERA-I); YAMAKADO N (YAMA-I); YASHIMA S (YASH-I)

Inventor: OGAWA U; TERASAKI T; YAMAKADO N; YASHIMA S

Number of Countries: 004 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20030224616	A1	20031204	US 2003396323	A	20030326	200412 B
KR 2003077436	A	20031001	KR 200318480	A	20030325	200412
KR 2003079785	A	20031010	KR 200321099	A	20030403	200412
JP 2004047948	A	20040212	JP 200383171	A	20030325	200413
JP 2004047950	A	20040212	JP 2003100840	A	20030403	200413
TW 200307997	A	20031216	TW 2003107613	A	20030403	200557
TW 200307328	A	20031201	TW 2003106644	A	20030325	200557

Priority Applications (No Type Date): JP 2002145759 A 20020521; JP 200285224 A 20020326; JP 2002101103 A 20020403

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20030224616	A1		13	H01L-021/31	
KR 2003077436	A			H01L-021/205	
KR 2003079785	A			H01L-021/205	
JP 2004047948	A		12	H01L-021/318	
JP 2004047950	A		11	H01L-021/316	
TW 200307997	A			H01L-021/22	
TW 200307328	A			H01L-021/316	

Abstract (Basic): US 20030224616 A1

NOVELTY - An oxynitride film is formed by nitriding an oxide film formed on a substrate, using a plasma-activated nitrogen species, after changing the high frequency impedance of a substrate support.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a semiconductor device production apparatus.

USE - Used for the production of a semiconductor device such as a thin-film transistor (TFT).

ADVANTAGE - By forming an oxynitride film after changing the high frequency impedance of the substrate support, the adherence of organic contaminant onto the surface of the substrate is prevented, and the leakage of current is restrained, thus the throughput of semiconductor production is improved and reduction in manufacturing cost is achieved.

DESCRIPTION OF DRAWING(S) - The figure shows the graph representing the relationship between capacity ratio and gate voltage.

pp; 13 DwgNo 4/5

Title Terms: SEMICONDUCTOR; DEVICE; PRODUCE; THIN; FILM; TRANSISTOR; FORMING; OXYNITRIDE; FILM; NITRIDATION; OXIDE; FILM; PLASMA; ACTIVATE; NITROGEN; SPECIES; AFTER; CHANGE; HIGH; FREQUENCY; IMPEDANCE; SUBSTRATE; SUPPORT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/205; H01L-021/22; H01L-021/31; H01L-021/316; H01L-021/318

특2003-0077436

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

H01L 21/265

(11) 공개번호 특2003-0077436

(43) 공개일자 2003년10월01일

(21) 출원번호	10-2003-0018480
(22) 출원일자	2003년03월25일
(30) 우선권주장	JP-P-2002-00085224 2002년03월26일 일본(JP) JP-P-2002-00101103 2002년04월03일 일본(JP) JP-P-2002-00145759 2002년05월21일 일본(JP)
(71) 출원인	가부시키가이샤 히다치 고쿠사이 덴키
(72) 발명자	일본국 도쿄도 나카노쿠 하가시나카노 3초메 14반 20고 오가와은류 일본국 도쿄도 나카노쿠 하가시나카노 3초메 14반 20고 가부시키가이샤 히다치 고쿠사 이덴키내 이와카도 나오히 일본국 도쿄도 나카노쿠 하가시나카노 3초메 14반 20고 가부시키가이샤 히다치 고쿠사 이덴키내 테라시마 다다시 일본국 도쿄도 나카노쿠 하가시나카노 3초메 14반 20고 가부시키가이샤 히다치 고쿠사 이덴키내 아시마 신지 일본국 도쿄도 나카노쿠 하가시나카노 3초메 14반 20고 가부시키가이샤 히다치 고쿠사 이덴키내 한양특허법인
(74) 대리인	한양특허법인

심사청구 : 있음

(54) 반도체 장치의 제조 방법 및 반도체 제조 장치

요약

본 발명은 산화막에 질소 원자를 도입함으로써, 절연막의 리크 전류를 억제하고, 또한 기판 표면으로의 유기 오염 물질의 부착을 방지한다.

처리실(26)과, 이 처리실(26) 내에서 피처리 기판을 지지하는 기판 지지체(46)와, 처리실(26)의 주위에 배치된 통형상 전극(50) 및 자력선 형성 수단(58)을 갖는 플라즈마 처리 장치(24)를 사용한다. 기판 지지체(46)의 고주파 임피던스를 고주파 회로(64)에 의해 전압함으로써, 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라즈마 활성의 질소 가스에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행한다.

도면

도 1

도 2

도면의 주요부분에 대한 부호의 설명

- 도 1a 내지 도 1e는 본 발명의 실시 형태의 반도체 장치의 제조 방법을 설명하기 위한 개략 종단면도.
도 2는 본 발명의 실시 형태의 반도체 장치의 제조 방법에 사용한 MMT 장치를 설명하기 위한 개략 종단면도.
도 3은 본 발명의 실시 형태의 반도체 장치의 제조 방법에 사용한 MMT 장치의 고주파 회로를 설명하기 위한 회로도.
도 4는 본 발명의 실시예 1의 결과를 나타낸 C-V 특성도.
도 5는 본 발명의 실시예 2의 결과를 나타낸 SIMS 분석 차트이다.

<도면의 주요부분에 대한 부호의 설명>

- 10 : 반도체 기판14 : 산화막
- 20 : 산질화막24 : NMT 장치
- 26 : 처리실28 : 진공 용기
- 46 : 기판 지지체(서셉터)50 : 통형상 전극
- 58 : 자력선 형성 수단64 : 고주파 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플라스마 처리를 사용한 반도체 장치(반도체 디바이스)의 제조 방법 및 반도체 장치에 관한 것이다.

예를 들면, 실리콘 반도체 기판을 기초로 한 MOS형 반도체 장치의 제조에서는, 실리콘 반도체 기판 표면 상에 실리콘 산화막으로 이루어지는 게이트 산화막을 형성할 필요가 있다. 또, 박막 트랜지스터(TFT)의 제조에서도, 마찬가지로 투명-금속-유리 기판 상에 형성된 실리콘층의 표면에 게이트 산화막을 형성할 필요가 있으며, 이 게이트 산화막은 반도체 장치의 신뢰성을 담당하고 있으며, 이 실리콘 산화막에는 높은 절연 파괴 내성과 장기 신뢰성이 요구되고 있다.

최근, CMOS 트랜지스터에서는, 저소비 전력화를 위해 저전압화가 도모되고 있으며, 이를 위해 PMOS 반도체 소자와 NMOS 반도체 소자에 대해 충분히 낮고, 또한 대형인 임계값 전압이 요구된다. 이 요구에 대응하기 위해, PMOS 반도체 소자에서는, 지금까지의 n형 불순물을 함유하는 폴리실리콘층으로 구성된 게이트 전극을 대신해, p형 불순물을 함유하는 폴리실리콘층으로 구성되는 게이트 전극이 사용되도록 되어 있다. 그런데 통상 사용되고 있는 p형 불순물 원자인 붕소 원자(B)는, 게이트 전극 형성 후의 반도체 제조 공정에서의 여러 가지 열처리 공정에 의해, 게이트 전극으로부터 게이트 산화막을 통과하여, 실리콘 반도체 기판까지 도달하며, PMOS 반도체 소자의 임계값 전압을 변화시키게 된다.

또, 이 현상은 반도체 소자의 디자인 룰의 미세화 및 저소비 전력화에 수반하는 저전압화 등의 목적에 의해, 게이트 산화막을 얇게 한 경우에는, 보다 현저하게 나타나게 된다.

상술한 불순물 원자인 붕소 원자(B)의 실리콘 반도체 기판 내로의 확산을 억제하기 위해서는, 게이트 산화막중에 절소 원자를 도입하는 것을 생각할 수 있다. 열침투법을 사용하여 고온중에 암모니아 분위기중에서 게이트 절연막중에 절소 원자를 도입하는 것이 가능하다. 그러나, 이 열침투법을 사용한 경우, 절소 원자는 게이트 산화막을 통과하여, 실리콘 반도체 기판중에도 전입하여, 반도체 소자의 종류 구별 능력의 저하를 일으킨다.

또, 게이트 산화막의 형성과, 게이트 산화막의 열화 처리를 각각 다른 처리실에서 행하면, 게이트 산화막 형성 후 대기중 또는 진공도가 낮은 반응실의 분위기에 노출되므로, 게이트 산화막 표면으로 유기 오염 물질이 부착하여 디바이스 특성을 악화시킬 위험이 있다.

따라서, 본 발명은 절연막의 건식 전류를 억제하고, 또한 기판 표면으로의 유기 오염 물질의 부착을 방지할 수 있는 반도체 장치의 제조 방법 및 반도체 제조 장치를 제공하는 것을 주된 목적으로 하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 형태에 의하면, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기판 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 절소 활성층에 의해 열화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 제2 형태에 의하면, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기판 지지체의 전위를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 절소 활성층에 의해 열화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 제3 형태에 의하면, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖고, 상기 처리실 내의 플라스마 생성 영역에 플라스마를 생성하여 상기 피처리 기판에 플라스마 처리하는 플라스마 처리 장치를 사용하여, 상기 기판 지지체와 상기 플라스마 생성 영역의 공간 전위의 차를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 절소 활성층에 의해 열화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 제4 형태에 의하면, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단과, 상기 기판 지지체의 고주파 임피던스를 전환하는 전환 수단을 갖고, 이 전환 수단에 의한 상기 기판 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로

활성화된 질소 활성종에 의해 집화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하도록 한 것을 특징으로 하는 반도체 제조 장치가 제공된다.

본 발명의 제5 형태에 의하면, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기관 지지체와, 상기 처리실 주위에 배치된 등형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기관 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기관에 집화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 집화막을 플라스마로 활성화된 산소 활성종에 의해 산화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 구성 및 작용

다음에 본 발명의 실시 형태를 도면을 참조하여 설명한다.

도 2에는 본 실시 형태에 사용되는 변형 마그네트론형 플라스마 처리 장치(Modified Magnetron Typed Processing System, 이하 MMT 장치라 함)(24)가 도시되어 있다. MMT 장치(24)는 처리실(26)을 구성하는 진공 용기(28)를 갖는다. 이 진공 용기(28)는 상부 용기(30)와 하부 용기(32)가 상호 접합되어 구성되어 있다. 상부 용기(30)는, 알루미늄, 석영 등의 재료의 것으로 이루어진다. 하부 용기(32)는 금속제이다. 상부 용기(30)의 주위는 커브(34)로 덮혀 있다. 또, 상부 용기(30)는 등 형상의 전장부를 갖는 원통형이며, 이 전장부에는, 상부 두껍부(36)와 사워판부(38)가 형성되고, 이 상부 두껍부(36)와 사워판부(38) 사이에 확산실(40)이 구성되어 있다. 상부 두껍부(36)에는 처리 가스를 도입하는 도입구(42)가 형성되고, 사워판부(38)에는 다수의 노즐(44)이 형성되어 있으며, 도입구(42)로부터 도입된 예를 들면, 2종의 처리 가스는, 확산실(40)에서 혼합 확산되어, 사워판부(38)의 노즐(44)로부터 처리실(26)로 공급되게 되어 있다.

처리실(26)에는 피처리 기판을 지지하는 기관 지지체의 셔플터(46)가 배치되어 있다. 이 셔플터(46)에는 피처리 기판을 가열하기 위한 히터가 설치되어 있다. 또, 하부 용기(32)에는, 배기구(48)가 형성되어, 이 배기구(48)로부터 처리실(26) 내의 처리 가스가 배기되도록 되어 있다.

등형상 전극(50)은, 처리실(26)의 주위, 즉 상부 용기(30)의 외주에 1 ~ 3mm 떨어져 배치되어 있다. 이 등형상 전극(50)은 접합기(52)를 통해 고주파 전원(54)에 접속되어 있다. 이 고주파 전원(54)은 예를 들면 13.56MHz의 주파수를 갖는 고주파 전력을 발생시키고, 제어 장치(56)로부터의 제어 신호에 따라 전력의 크기가 조정된다. 또, 자력선 형성 수단(58)은, 예를 들면 링 형상으로 형성된 2개의 영구 자석(60, 62)으로 구성되어, 처리실(26)의 주위에 배치되어 있다. 이 2개의 영구 자석(60, 62)은, 직경 방향으로 서로 역방향으로 배치되어 있으며, 처리실(26) 내에는 한쪽의 영구 자석(60)으로부터 중심 방향으로 이어지고, 다른쪽 영구 자석(62)으로 되돌아가는 자력선이 형성된다.

상술한 셔플터(46)에는 고주파 회로(임피던스 가변 회로)(64)가 접속되어 있다. 이 고주파 회로(64)는 상술한 제어 장치(56)로부터의 제어 신호에 따라 셔플터 임피던스를 조정할 수 있도록 되어 있다.

고주파 회로(64)는, 코일이나 가변 콘덴서로 구성되고, 코일의 패턴 수나 가변 콘덴서의 용량값을 제어함으로써, 셔플터(46)를 통해 기관(4)의 전위를 제어할 수 있도록 되어 있다.

도 3에 상술한 고주파 회로(64)의 내부 회로를 도시한다. 회로는, 전위를 포함하지 않고, 수동 소자만으로 구성되어 있다. 구체적으로는, 코일(121)과 콘덴서(123)가 직렬 접속되어 있다. 코일(121)에는 인덕턴스 가변할 수 있도록 터미널(122)을 여러 군데 설치해 둔다. 목적으로 하는 인덕턴스의 값이 얻어지도록, 터미널(122)을 임의로 단락하여 코일의 패턴 수를 제어한다. 콘덴서(123)에는 자기의 정전용량을 리니어로 가변 가능한 가변 콘덴서를 사용하고 있다. 이 코일(121)과 콘덴서(123) 중 적어도 한쪽을 조정하고, 고주파 회로(64)를 회상하는 임피던스값으로 조정하여, 기관(4)의 전위를 제어할 수 있도록 되어 있다. 또한, 이렇게 가변 코일 또는 가변 콘덴서 중 적어도 한쪽을 조정함으로써 고주파 회로(64)의 임피던스를 변경할 수 있지만, 고정 코일과 고정 콘덴서를 사용하는 경우라도 임피던스가 다른 2개 이상의 회로를 전환해도 되는 것은 물론이다.

본 발명의 실시 형태의 MMT 장치(24)에서는, 영구 자석(60, 62)의 자계의 영향을 받아 마그네트론 방전이 발생하고, 기관(4)의 상반 공간에 전하를 트랩하여 고밀도 플라스마가 생성된다. 그리고, 생성된 고밀도 플라스마에 의해, 셔플터(46) 상의 기관(4)의 표면에 플라스마 산화 처리 또는 플라스마 집화 처리가 실시된다. 또한, 표면 처리의 개시 및 종료는 고주파 전력의 인가 및 정지에 의해 행해진다.

기관(4)의 표면 또는 바탕과 표면을 산화 처리 또는 집화 처리할 때, 셔플터(46)와 접지 사이에 캐패시턴스한 고주파 회로(64)를 마련 원하는 임피던스값으로 제어해 둔다. 고주파 회로(64)를 원하는 임피던스값으로 조정하면, 그것에 의해 기관(4)의 전위가 제어되어, 원하는 막두께 및 면 내 막두께 균일성을 갖는 산화 처리막 또는 집화 처리막을 형성할 수 있다.

고주파 전력의 출력값 제어나 바이어스 전력 공급 제어를 행하는 평행 평판 전극형 플라스마 장치에서는, 상술한 바와 같은 MMT 장치에 의한 임피던스 제어에 의한 막두께 제어는 불가능하다. 원리적으로는, 평행 평판 전극형 플라스마 장치에서도, 셔플터 전압을 올려 가면 3mm 이상의 산화막 또는 집화막을 형성하는 것은 가능하다. 그러나, 평행 평판 전극형 플라스마 장치에서는, 방전용 전압과 셔플터 전압은 독립적으로 제어할 수 없으므로, 셔플터 전압을 올리면 강한 전계가 기관에 걸리므로, 플라스마 데미지에 의해 막질이 나쁘고, 막두께 균일성도 나빠진다. 본 실시 형태의 MMT 장치에서는, 방전용 전극에 의해 전계를 걸고, 또한 자력선에 의한 전하의 트랩을 행함으로써, 평행 평판 전극형 플라스마 장치에 비해, 플라스마 밀도를 높이고 있다. 또한, 플라스마 처리 효율을 높이기 위해, 플라스마를 생성하는 방전용 전극의 전압이 아니라, 플라스마 생성과는 독립적으로 제어할 수 있는 셔플터 전위를 제어하고 있으므로, 기관에 플라스마 데미지가 없어, 막형성되는 막질도 양호하게 유지할 수 있다.

다음에 MMT 장치(24)의 조작에 대해 설명한다. 먼저 피처리 기판을 셔플터(46)에 재치하고, 진공 용기(28) 내의 가스를 배기구(48)로부터 배기하여 진공 용기(28) 내를 진공 상태로 한다. 다음으로 셔플터

(46)를 가열하여, 반도체 기판의 온도를 예를 들면 400°C까지 가열한다. 이어서 처리 가스를 도입구(42)로부터 도입한다. 이 도입구(42)로부터 도입된 처리 가스는, 확산실(40)에서 확산되어, 샤워관부(38)의 노즐(44)로부터 처리실(26)로 공급된다. 동시에 고주파 전원(54)으로부터 고주파 전력을 통형상 전극(50)에 공급한다. 처리실(26)에서는, 자력선 형성 수단(58)에 의해 자력선이 형성되고, 통형상 전극(50)에 의해 고주파 전계가 형성되므로, 플라스마가 생성되고, 시설퍼(46) 상의 반도체 기판이 처리된다. 소정 시간 경과 후, 고주파 전원(54)으로부터의 고주파 전력의 공급을 정지하고, 진공 용기(28) 내의 가스를 배기구(48)로부터 배기하고, 시설퍼(46) 상의 피처리 기판을 처리실(26)로부터 취출하여 처리를 종료한다.

본 발명의 실시 형태에서는, 기판 지지체(시설퍼)(46)의 고주파 임피던스를 전환 또는 조정함으로써, 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 질소 활성층에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속적으로 행하도록 하고 있다.

제1 프로세스는, 산소만으로도 가능하지만, 대량의 크립톤과 소량의 산소를 상기 처리실로 도입하여 행하는 것이 바람직하다. 이 제1 프로세스에서는, 양질의 산화막을 형성할 필요가 있으며, 이를 위해 산소의 단위자 리디칼만을 생성하도록, 산소 리디칼과 동등한 에너지 밴드를 제1 여기(勵起)에 갖는 Kr 가스를 소량의 산소와 함께 대량으로 넣어 플라스마를 발생시켜, 산소 리디칼로 예를 들면 질리온으로 이루어지는 기판을 산화시킨다. 이를 위해서는, 통형상 전극 및 자력선 형성 수단에 의해 생성되는 플라스마와 기판 지지체의 위상을 맞추도록, 기판 지지체의 고주파 임피던스를 조정한다. 이에 의해, 기판 지지체 상의 피처리 기판으로의 미온의 전입을 최대한 방지하여, 플라스마중에 다량 있는 산소 리디칼로 산화할 수 있다.

한편, 제2 프로세스에서는, 질화를 행하는 경우, 질소의 여기 에너지는 낮지만, 질소 원자를 산화막중에 SiO₂에 도입할 목적으로 하기 위해서는, N₂를 완전히 해리(解離)시켜야만 한다. 이 해리를 위한 활성화 에너지는 대단히 높은 것이다. 이 때문에, 제1 프로세스와는 반대로 플라스마와 기판 지지체의 전위의 위상을 반전시켜 플라스마와 기판 지지체가 공명하도록, 기판 지지체의 고주파 임피던스를 조정하여, 산화막으로의 미온 입자를 최대한 하는 것이다.

제2 프로세스에서는, 처리 가스에, 또한 He 가스를 더해 처리하는 것이 바람직하다. He 가스를 넣으면, He의 해리 에너지는 대단히 높아, 질소와의 혼합 가스로 함으로써, N₂의 여기보다도 높은 상태로 갖고, 질소의 단위자화를 미시스트할 수 있다.

또한, 일본국 특허 2001-16035호 공보에서는, 플라스마 처리 장치를 사용하여 실리콘 기판에 산화막과 질화막을 연속하여 형성하는 반도체 장치의 제조 방법에 대해서 개시되어 있으나, 산질화막을 형성하는 질화, 산질화막의 형성 방법에 대해서는 개시되어 있지 않다. 이 종래예에서는, 예를 들면 2.45GHz의 마이크로파를 플라스마원으로 하고 있으며, 이 마이크로파로 여기된 플라스마는 전자 온도 Te_e가 높아져(Te_e > 5eV), 본 발명의 실시 형태와 같이, 산질화막을 형성하도록 한 경우는, 산질화막과 기판의 계면의 질소 농도를 낮게 억제하는 것은 곤란하다. 이에 비해, 본 발명의 실시 형태에서는, 상술한 변형 마그네트론형 플라스마 처리 장치를 사용하고 있으므로, 플라스마의 전자 온도 Te_e를 낮게(예를 들면 Te_e < 1eV) 할 수 있어, 산질화막과 기판의 계면의 질소 농도를 예를 들면 1.5% 이하가 되도록 낮게 할 수 있다. 여기서 질소 농도란, 산질화막중의 단위 체적당 질소 원자수를 산질화막의 단위 체적당 총 전자수(실리콘, 산소, 질소 전체의 원자수이며, 약 6.6 × 10²¹)로 나눈 값을 말한다. 또, 상기 종래예에서는, 기판 표면을 질화하는 처리 가스로서 NH₃(또는 N₂와 H₂의 혼합 가스)가 사용되고 있어, 산질화막에 H 원자가 존재하여, 내압, 리크 전류 등의 디바이스 특성에 악영향을 미치는 것에 비해, 본 발명에서는, 처리 가스로서 질소 가스를 사용하므로, 반도체 디바이스의 특성이 양호하다.

도 1a 내지 도 1e에는 본 발명의 실시 형태에서의 반도체 장치의 제조 프로세스가 도시되어 있다. 먼저 도 1a에 도시되는 실리콘 기판 등의 반도체 기판(10) 상에 LOCOS(Local Oxidation of Silicon) 프로세스 또는 STI(Shallow Trench Isolation) 프로세스 등의 주지 방법에 의해, 도 1b에 도시하는 소자 분리 영역(12)을 형성한다.

이어서 주지의 방법으로, 웰 미온 주입, 채널 스탑 미온 주입, 임계값 조정 미온 주입 등을 행한 후, NMT 장치를 사용하여, 반도체 기판(10) 상에 열산화막 등을 이상의 산화막(14)을 형성한다. NMT 장치의 처리 실에서는, 대량의 크립톤(Kr)과 산소를 도입하고, Kr₇₀, 플라스마(16)를 생성하여, 산화막(14)을 형성한다. Kr를 사용하는 것은 Kr이 활성화하는 에너지 밴드가 낮고, 0의 리디칼 여기 에너지와 잘 매칭하기 때문이다. 이 때의 산화막(14)의 막두께는 25Å 이하로 하는 것이 바람직하다.

다음으로, NMT 장치에서, 산화막(14)이 형성된 반도체 기판(10)을 동일 처리실 내에서, Kr₇₀ 가스를 배기하고, 질소 가스를 도입하여 가스 치환을 행하여, 질소 분위기로 하고, 도 1d에 나타낸 바와 같이, 질소 플라스마(18)를 생성하여, 처리실 내에 배치된 표면이 산화되어 있는 반도체 기판(10)을 질화 처리함으로써 산질화막(20)을 형성한다. 이 산질화막(20)의 막두께는 바람직하게는 25Å 이하이다. 또, 산질화막(20)의 질소 농도의 피크가 5 ~ 15%이며, 산질화막(20)과 반도체 기판(10)의 계면의 질소 농도가 1.5% 이하이도록 조정하는 것이 바람직하다. 산질화막(20)의 질소 농도의 피크는 높을수록 접연막으로서의 리크 전류 방지 효과가 있지만, 산질화막(20)의 질소 농도의 피크가 15%를 초과하도록 하면, 산질화막(20)과 반도체 기판(10)의 계면의 질소 농도가 1.5%를 초과한다. 산질화막(20)과 반도체 기판(10)의 계면의 질소 농도가 1.5%를 초과하면, 반도체 소자의 모놀리타(이동도, 즉 반도체 소자의 전류 구동 능력)가 약화하므로, 1.5% 이하로 하는 것이 바람직하다.

또한, 질소 가스에 더해 He 가스를 넣으면, 상술한 바와 같이, 산질화막(20)과 반도체 기판(10)의 계면의 질소 농도를 보다 낮게 할 수 있다.

그리고, 도 1e에 도시하는 바와 같이, CVD 등의 주지의 방법에 의해, 폴리실리콘 등으로 이루어지는 게이트 전극(22)을 형성한다. 이 게이트 전극(22)에는 불순물로써 붕소 원자(B)가 함유된다. 그 후, 예를

플라즈마 웨이드선이나 캐패시터가 형성되고, 예를 들면 DRAM이 구성된다. 이렇게 게이트 전극(22)을 형성한 후의 여러 가지 열처리 공정에 의해, 통소 원자(8)가 확산하여 반도체 기판(10)까지 도달하여 하나, 산질화막(20)의 존재에 의해 방지할 수 있다.

이어서 상기 MNT 장치를 사용하여 상술한 산질화막을 형성한 실시예에 대해 설명한다.

(실시예 1)

제1 프로세스로서 상기 MNT 장치를 사용하여 실리콘 기판 상에 2.0nm의 산화막을 형성했다. 플라즈마 산화 조건은 다음과 같다. 여기서는, 서셉터(64)에 접속된 고주파 회로(64)를 조정하여, 서셉터 전위를 대략 0V ~ 20V로 전속시키면 플라즈마 전위는 대략 +20V 전후이기 때문에, 서셉터와 플라즈마 생성 영역의 전위차가 대략 20V ~ 50V로 된다. 또한, 이 경우, 서셉터(46)와 플라즈마 생성 영역의 전위의 위상차는 0° 부근으로 조정되어 있다.

RF 파워 : 150W

Kr 유량 : 250sccm

O₂ 유량 : 10sccm

압력 : 20Pa

기판 온도 : 400°C

산화 시간 : 20sec

이어서, 제2 프로세스로서, 같은 MNT 장치에서 가스 치환을 행하고, 연속하여 플라즈마 질화 처리함으로써 2.0nm의 산질화막을 형성했다. 플라즈마 질화 조건은 다음과 같다. 여기서는, 서셉터(46)에 접속된 고주파 회로(64)를 조정하여, 서셉터 전위를 대략 0V ~ 300V로 전속시키면 플라즈마 전위는 대략 +20V 전후이기 때문에, 서셉터와 플라즈마 생성 영역의 전위차가 대략 20V ~ 300V로 된다. 또한, 이 경우, 서셉터(46)와 플라즈마 생성 영역의 전위의 위상차는 180° 부근으로 조정되어 있다.

RF 파워 : 500W

N₂ 유량 : 500sccm

압력 : 30Pa

기판 온도 : 400°C

산화 시간 : 25sec

또 도 4에서, 비교예와 비교한 C-V 특성이 나타나 있다. 비교예 1은, 열산화 처리에 의해 1.7nm의 실리콘 산화막을 형성하고, 질화 처리를 행하지 않은 것이다. 비교예 2는, 열산화 처리에 의해 실시예 1과 동일한 산화막을 형성하고, 산질화막의 질소 농도의 피크가 약 7% 되도록 산화막을 질화 처리하여, 산질화막으로 한 것이다. 실시예 1에서는, 비교예 1과 비교하여, 게이트 전압이 -3V에서의 용량비의 떨어짐이 없으므로, 게이트 내압이 향상되어 있다. 또, 게이트 전압이 -1V에서의 산술이 대략 동등하며, 플랫 밴드 전압에 대해서는 변화가 없다. 또한, 실시예 1에서는 비교예 1과 비교하면, 용량비가 작으므로, 심호 막두께(심호 길이 막두께 T_{eff}) 또는 등가 산화 막두께 E_{ot})가 작아진다. 따라서, 실시예 1에 의해 형성된 산질화막이 비교예 1과 비교하여 디바이스 특성이 뛰어난 것을 알 수 있다.

(실시예 2)

상기 실시예 1과 같은 플라즈마 산화 조건에 기초하여 산화막을 형성하고, 그 후 가스 치환을 행하고, 연속하여 플라즈마 질화 처리함으로써 2.0nm의 산질화막을 형성했다. 질소 가스에 He 가스를 더해, 다음의 플라즈마 질화 조건으로 행했다. 실시예 1과 동일하게, 고주파 회로(64)를 조정한다.

RF 파워 : 500W

N₂ 유량 : 250sccm

He 유량 : 250sccm

압력 : 30Pa

기판 온도 : 400°C

산화 시간 : 25sec

이 결과, 도 5에 도시하는 산질화막을 갖는 실리콘 기판을 얻었다. 도 5는, SIMS(이차 이온 질량 분석 장치 Secondary Ion Mass Spectrometry) 분석 차트이며, 분석 장치의 1차 가속 미온종에는 CS₂를 사용하여, 1차 가속 전압은 0.75KV로 하고, 스퍼터 레이트는 0.01nm/sec로 하여, 이온의 정량을 행했다. 산질화막의 질소 농도의 피크는 약 12%이며, 산질화막과 실리콘 기판의 계면의 질소 농도는 약 1.2%였다. He를 넣으면, He의 질량이 가벼우므로, 13.56MHz의 고주파 전계로 파괴할 수 있어, 기판 표면에 형성되는 시미스 전압이 작아져, 기판 표면에 입사하는 질소의 마운 에너지도 작아지므로, 같은 질소 농도의 피크를 갖게 하는 경우는, 산질화막과 기판의 계면의 질소 농도를 보다 낮게 할 수 있는 것이다.

산화막의 두께는 Kr/O₂ 플라즈마 생성 조건 등을 변화시킴으로써 5 ~ 100Å의 범위 내에서 자유롭게 컨트롤할 수 있다. 또, 산질화막의 표면 질소 농도는 질소 플라즈마 생성 조건 등을 변화시킴으로써 0 ~ 120%의 범위에서 자유롭게 컨트롤할 수 있다. 또, 제1 프로세스에서의 압력은 150Pa 이하로 할 수 있고, 제2 프로세스에서의 압력은 10 ~ 100Pa로 할 수 있다.

또한, 플라스마 발생 영역에서는 전위보다도 플라스마 이온의 수가 많아, 공간 전위는 30 ~ 50V로 되어 있으며, 한편 서셉터 전위는 마이너스 수백 볼트가 되도록 조정하고 있다. 플라스마 발생 영역의 산소 또는 질소의 플라스마 이온은, 서셉터의 마이너스 전위로 끌려당겨져, 기관중으로 들어간다. 플라스마 공간 전위와 서셉터 전위의 차를 크게 하면 두꺼운 막을 만들 수 있다. 또, 산화막을 플라스마 질화하는 경우에도 플라스마 공간 전위와 서셉터 전위의 차를 크게 해야만 하는 경향이 있다.

그래서, 상기 실시예에서는, 플라스마 산화에서는 서셉터와 플라스마 생성 영역의 전위차가 최대이며, 플라스마 질화에서는 서셉터와 플라스마 생성 영역의 전위차가 최소이다.

단, 플라스마 산화 및 플라스마 질화에 대해서는, 목표 막두께에 따라 최대값 ~ 최소값 사이로 제어할 수 있다.

또한, 상기 실시예에서는, 먼저 플라스마 산화에 의해 산화막을 형성하고, 그 후 기관 지지체의 고주파 임피던스를 변경 또는 전환함으로써, 이 산화막을 플라스마로 활성화된 질소 활성화중에 의해 질화 처리하여 산질화막을 형성했지만, 기관 지지체의 고주파 임피던스를 변경 또는 전환함으로써, 플라스마 질화에 의해 질화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 질화막을 플라스마로 활성화된 산소 활성화중에 의해 산화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것도 마찬가지로 실시할 수 있다.

이 경우에는, 플라스마 질화와 플라스마 산화 양쪽 모두 목표 막두께에 의해 서셉터 전위를 최대값 ~ 최소값 사이에서 제어하게 된다. 단, 이 경우에도 질화막을 플라스마 산화하는 것은 실시예 1처럼 직접 기관을 플라스마 산화하는 경우보다도 서셉터 전위를 내려야만 하는 경향이 보인다.

본 발명의 효과

이상 기술한 바와 같이, 본 발명에 의하면, 산화막에 질소 원자를 도입하도록 했으므로, 이 산질화막을 절연막으로 한 경우에 리크 전류를 억제할 수 있다. 또, 기관을 산화하는 제1 프로세스와, 산화막을 질화하는 제2 프로세스를, 기관 지지체의 고주파 임피던스를 전환함으로써, 하나의 플라스마 처리 장치에서 연속하여 행하도록 했으므로, 제1 프로세스와 제2 프로세스 사이에 기관 표면으로의 유기 오염 물질의 부착을 방지할 수 있고, 또 반도체 제조에서의 스루풋을 향상시켜, 비용 효율면에서도 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기관 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기관 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 질소 활성화중에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기관 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기관 지지체의 전위를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 질소 활성화중에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기관 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖고, 상기 처리실 내의 플라스마 생성 영역에 플라스마를 생성하여 상기 피처리 기판에 플라스마 처리하는 플라스마 처리 장치를 사용하여, 상기 기관 지지체와 상기 플라스마 생성 영역의 공간 전위의 차를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 질소 활성화중에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기관 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖고, 상기 처리실 내의 플라스마 생성 영역에 플라스마를 생성하여 상기 피처리 기판에 플라스마 처리하는 플라스마 처리 장치를 사용하여, 상기 플라스마의 전자 온도를 1eV 이하로 하고, 산질화막과 기관의 계면의 질소 농도를 1.5% 이하로 한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 제2 프로세스에서는 질소 가스를 플라스마 활성화함으로써 질소 활성화종을 얻어 질화 처리하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서, 제1 프로세스에서 공급하는 가스는 K_2 와 산소의 혼합 가스에 의해 산소 활성화종을 얻어 산화 처리하는 것을 특징으로 하는 반도체 장치의 제조 방법.

형구상 7

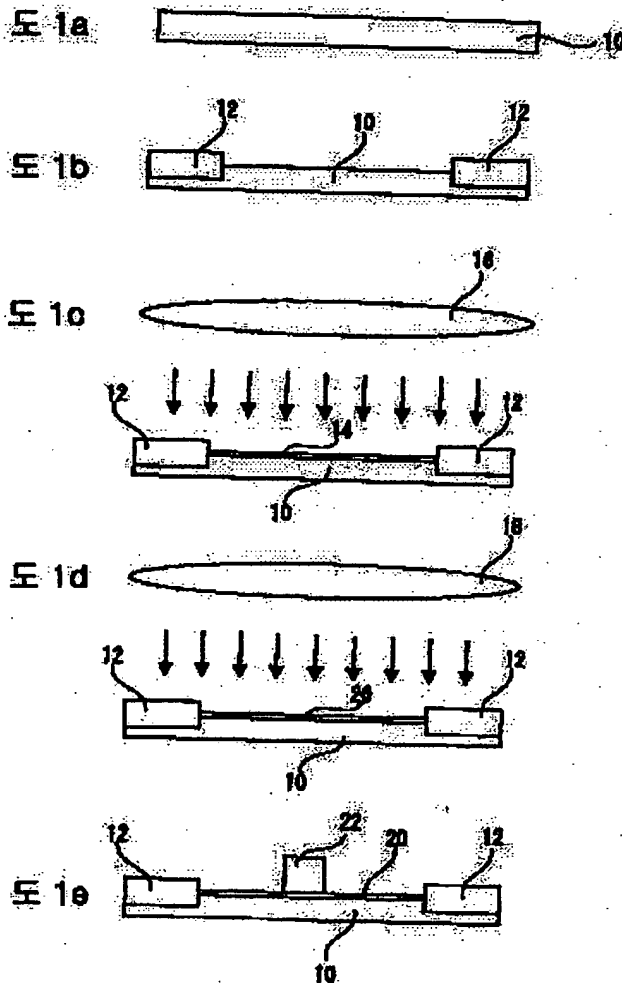
처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단과, 상기 기판 지지체의 고주파 임피던스를 전환하는 전환 수단을 갖고, 이 전환 수단에 의한 상기 기판 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기판에 산화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 산화막을 플라스마로 활성화된 질소 활성층에 의해 질화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하도록 한 것을 특징으로 하는 반도체 제조 장치.

형구상 8

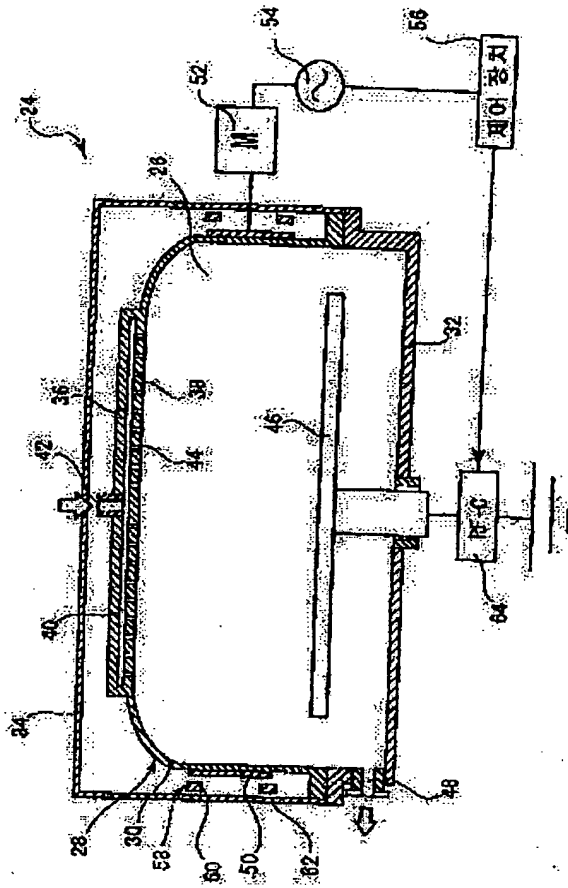
처리실과, 이 처리실 내에서 피처리 기판을 지지하는 기판 지지체와, 상기 처리실 주위에 배치된 통형상 전극 및 자력선 형성 수단을 갖는 플라스마 처리 장치를 사용하여, 상기 기판 지지체의 고주파 임피던스를 전환함으로써, 상기 피처리 기판에 질화막을 형성하는 제1 프로세스와, 이 제1 프로세스에 의해 형성된 질화막을 플라스마로 활성화된 산소 활성층에 의해 산화 처리하여 산질화막을 형성하는 제2 프로세스를 연속하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

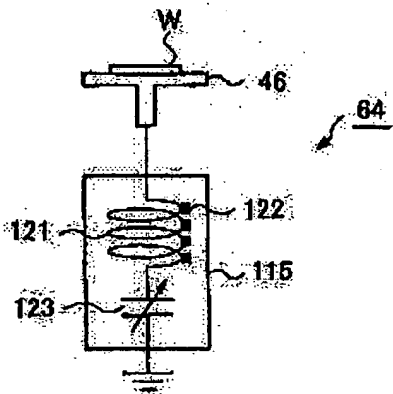
도면 1



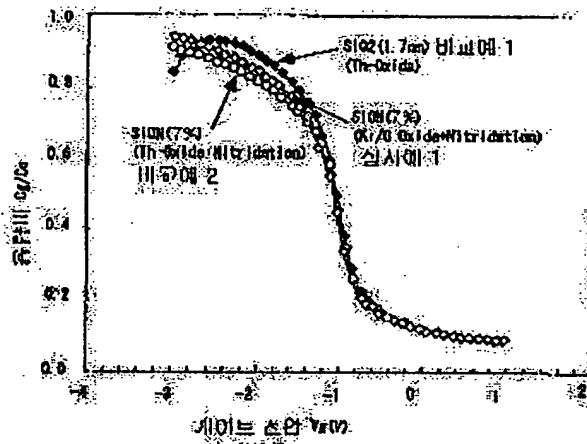
도 2



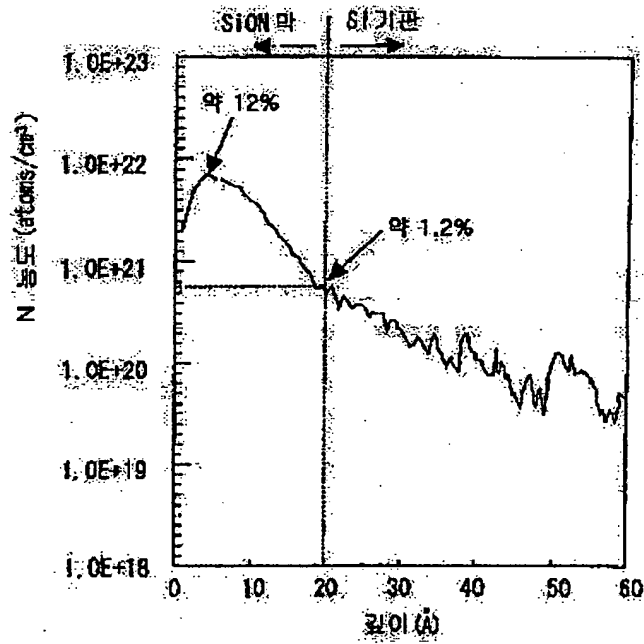
도 3



CP4



CP5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.